

## WICHTIGER PATCH für Rev. 3 und 3a Boards!!! Bitte beachten !!!

Wegen Timing Problemen mit schnelleren 6502 CPUs, muss beim Einsatz einer 6502 die für Taktraten größer 1MHz zugelassen ist und generell für alle CMOS Versionen (65C02) der folgende Patch auf der Platine ausgeführt werden!

1. Der Patch kann nur mit RAM Bausteinen ab 64KB im 32 poligen Gehäuse typ ausgeführt werden. Soll ein 16 oder 32KB RAM eingesetzt werden, muss eine 1MHz NMOS CPU (z.B. 6502A) eingesetzt werden, da diese Speicherbausteine den benötigten CS2 Anschluss nicht besitzen.
2. Alle IC-Sockel außer für IC U3 (628128) einlöten.
3. Es werden zwei 32 polige Präzisionssockel für den statischen Speicherbaustein benötigt. Aus dem ersten Sockel muss vorsichtig Pin 30 herausgelöst werden. Sockel dann auf der Platine an Position U3 einlöten. Löt-Pad für Pin 30 NICHT zulöten!
4. An dem zweiten 32 poligen Sockel, muss Pin 30 ca. 1mm gekürzt werden. Hieran muss dann ein maximal 0,7mm dicker, isolierter Draht (z.B. Kupferlackdraht für Fädeltechnik) angelötet werden. Den Draht dann durch das Loch des fehlenden Pins vom ersten Sockel und durch das offene Löt-Pad zur Unterseite der Platine fädeln, und den zweiten Sockel auf den bereits eingelöteten stecken.
5. Das offene Ende des Drahtes auf der Unterseite der Platine an den Sockel-Pin 39 der 6532 (U4) anlöten. Draht an mehreren Stellen mit etwas Heißkleber fixieren.

Der Patch verbindet Chip Select 2 (CS2) des RAM-Bausteins mit dem Systemtakt PHI2. Hierdurch wird verhindert, dass im Speicher versehentlich, bei einem Adresswechsel, Daten überschrieben werden.

**Wird der Patch für die oben genannten CPUs nicht ausgeführt, kann es zu massiven Störungen und unerwarteten Ergebnissen kommen. Bei Einsatz von Speichern ab 64KB sollte der Patch zur Sicherheit immer ausgeführt werden, auch wenn eine ältere 1MHZ 6502 CPU eingesetzt wird.**

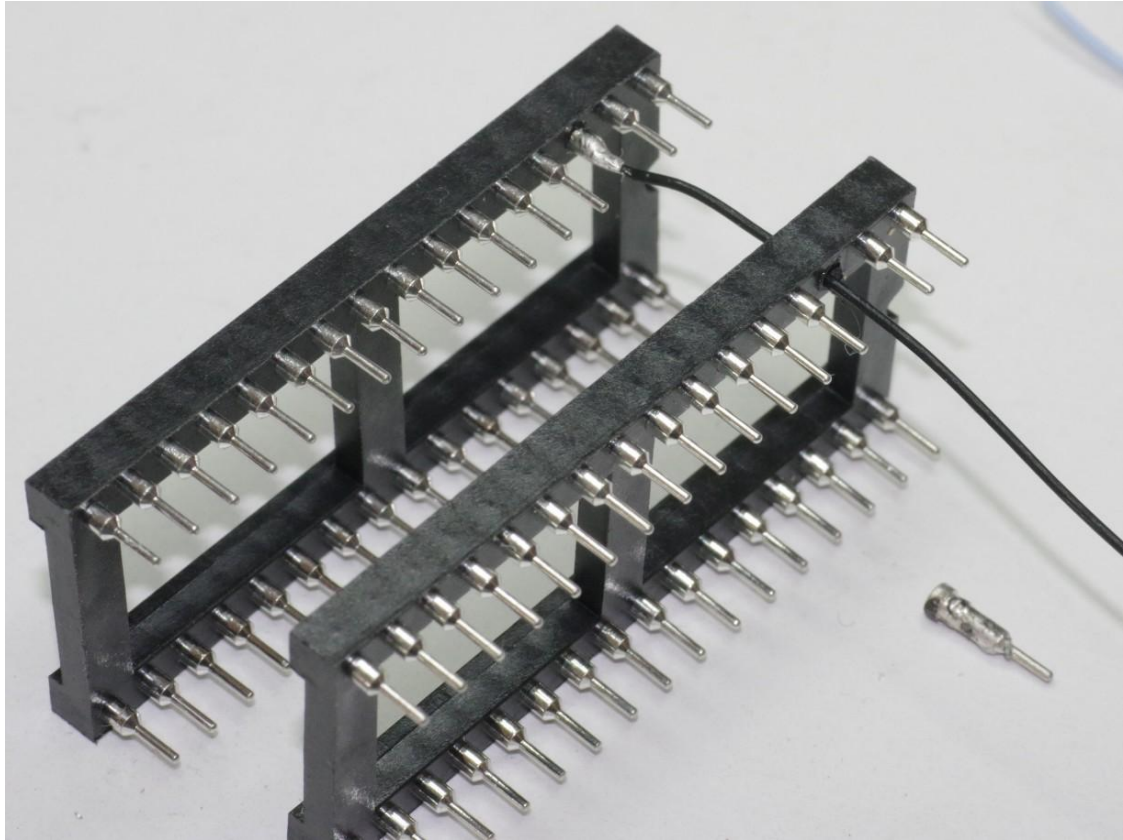


Bild: Meinolf Schmidt. Mit freundlicher Genehmigung.

